(19) **JAPANESE PATENT OFFICE (JP)**

(11) **Japanese Laid-Open Patent Application (Kokai) No. H1-239486**

(12) **Official Gazette for Laid-Open Patent Applications (A)**

(51) Int. Cl[4]	Classification Symbols	JPO File Nos.
G01R 31/28		V-6912-2G
G06F 11/22	310	F-7368-5B

(43) Disclosure Date: September 25, 1989

Request for Examination: Not yet submitted

Number of Claims: 1

(Total of 4 pages [in original])

---

(54) Title of Invention: Output Response Compressor

(21) Application No.: S63-66500

(22) Filing Date: March 18, 1988

(72) Inventor: Masaaki Yoshida
c/o NEC Corporation
5-33-1 Shiba, Minato-ku, Tokyo

(71) Applicant: NEC Corporation
5-33-1 Shiba, Minato-ku, Tokyo

(74) Agent: Susumu Uchihara, Patent Attorney

Specification

Title of Invention

Output Response Compressor

Patent Claims

An output response compressor, of a multiple input line type feedback register type, for simultaneously compressing output responses from a plurality of output lines, comprising:

first selection means for selectively inputting an output response from one of said plurality of output lines to the initial stage of said [sic] multiple input line type feedback register; and

second selection means for selecting whether or not to input output responses from the output lines remaining after excluding said [sic] any one thereof from said plurality of output lines to the stages of said multiple input line type feedback register other than the initial stage thereof.

Detailed Description of Invention

(Field of Industrial Utilization)

This invention relates to an output response compressor, and particularly to an output response compressor incorporated into an integrated circuit so that it becomes easy to perform logic function tests on the integrated circuit, and so that testing is possible even on extremely complex integrated circuits.

(Prior Art)

One method for making it easy to perform logic function tests on complex integrated circuits is to incorporate test mechanisms such as a test pattern generator and test output evaluation unit right into the integrated circuit to be tested. By so doing it is possible to perform logic function tests easily even on portions of integrated circuits that are buried in the interiors thereof, that cannot be immediately accessed from external terminals, and that are very difficult to test.

When test mechanisms are incorporated into an integrated circuit, however, it is not possible to compare enormous output responses one by one with expected values. A method is therefore adopted wherewith the output responses are compressed, and the compressed output responses are compared with the expected values.

This output response compressor is a logic circuit block that occupies a critical portion of a test output evaluation unit, but what is widely used is a multiple input code analyzer set forth in a paper entitled "BUILT-IN LOGIC BLOCK OBSERVATION TECHNIQUES" that was given at, and which appears on pages 37 to 41 in the collected papers of, the International Test Conference held in 1979.

This multiple input code analyzer is configured so that inputs are made to the stages of a line type feedback register, wherefore the example of a 4-bit multiple input code analyzer is indicated in a simplified block diagram.

Fig. 2 diagrams a case where the outputs from the circuit being tested (not shown in the drawing) are four bits, namely D_0, D_1, D_2, and D_3. The outputs D_1, D_2, and D_3 from a circuit being tested in some cycle are input to exclusive-OR circuits (hereinafter called EXOR gates) 26, 27, and 28, and, after being subjected to exclusive-OR operations with the outputs from flip-flops 21, 22, and 23, are input to flip-flops 22, 23, and 24. Output D_0 from the circuit being tested is input to an EXOR gate 25, and, after being subjected to an exclusive-OR operation with flip-flops 23 and 24, is input to the flip-flop 21.

Then, the outputs D_0, D_1, D_2, and D_3 of the circuit being tested in the next cycle are input to the flip-flops 21, 22, 23, and 24 in exactly the same manner, and, thereafter, the same operation is repeated. Accordingly, no matter how many patterns are output from the circuit being tested, the results will be compressed into four bits, and the expected value(s) need only constitute four bits also, whereupon a small amount of hardware added for the tests will suffice.

(Problems Invention Would Resolve)

In the output response compressor described above, however, the outputs D_0, D_1, D_2, and D_3 from the circuit being tested are all compressed simultaneously. As a consequence, there are problems in that, even though it is possible to judge whether or not the whole circuit being tested is faulty, no information whatever can be obtained on more minute malfunction sites, and fault analysis cannot be performed.

An object of the present invention is to provide an output response compressor wherewith the problems with the prior art noted above are eliminated and information on more minute malfunction sites is obtained.

(Means for Resolving Problems)

The output response compressor of the present invention is an output response compressor, of a multiple input line type feedback register type, for simultaneously compressing output responses from a plurality of output lines, that comprises:

first selection means for selectively inputting an output response from one of the plurality of output lines to the initial stage of the multiple input line type feedback register, and

second selection means for selecting whether or not to input output responses from the output lines remaining after excluding any one thereof, as noted, from the plurality of output lines, to the stages of the multiple input line type feedback register other than the initial stage thereof.

(Action)

The present invention resolves the problems of the prior art by adopting the configuration described above. More specifically, because, with the prior art, only simultaneous compression of all outputs can be done, the only flaw judgments that can be made are those for the entire circuit being tested, whereas, with the present invention, it is also possible to compress the outputs from the circuit being tested one by one, wherefore information concerning more minute malfunctions sites is obtained.

(Embodiments)

The present invention is now described in detail while referencing the drawings.

Fig. 1 is a configuration diagram representing one typical embodiment of the present invention.

This embodiment represents a case where the outputs from a circuit being tested (not shown) constitute four bits, and the number of stages in the output response compressor for compressing those is the same. The present invention is not limited thereto or thereby, however, and, needless to say, there is no reason why the number of stages in the output response compressor may not be greater than the number of outputs from the circuit being tested.

Now, the output response compressor diagrammed in Fig. 1 comprises four flip-flops 1, 2, 3, and 4 corresponding to the outputs D_0, D_1, D_2, and D_3 from the circuit being tested, four EXOR gates 5, 6, 7, and 8 corresponding to the flip-flops, AND gates 10, 11, and 12 the outputs whereof each become, respectively, one of the inputs to the EXORs 6, 7, and 8, and a multiplexer 13. By switching a control signal C2, the output response compressor operates as two types of output response compressor.

One [of these types] is an output response compressor that, in like manner as conventionally, simultaneously compresses all the outputs, D_0 to D_3, from the circuit being tested, while the other is an output response compressor that only compresses some one output of the outputs D_0 to D_3 from the circuit being tested.

When the control signal C2 is set at the logical "1" level, the AND gates 10, 11, and 12 output the outputs D_1, D_2, and D_3 from the circuit being tested, and input those, respectively, to the EXOR gates 6, 7, and 8. Accordingly, to the flip-flops 2, 3, and 4 will be input the exclusive-OR [values] of the flip-flops 1, 2, and 3 of the preceding stage, and, respectively, the outputs D_1, D_2, and D_3 from the circuit being tested.

When this [sic] control signal C1 is set so that the multiplexer 13 outputs the output D_0 from among the outputs D_0, D_1, D_2, and D_3 from the circuit being tested, to the EXOR gate 5 will be input the output D_0 from the circuit being tested, and to the flip-flop 1 will be input the exclusive-OR [value] of this output D_0 and the flip-flops 3 and 4. In other words, in this case, an output response compressor is embodied which, in like manner as the conventional example described earlier, simultaneously compresses all of the outputs D_0 to D_3 from the circuit being tested.

Next, when the control signal C2 is set at a logical "0" level, the AND gates 10, 11, and 12 will output a logical "0" irrespective of the outputs D_1, D_2, and D_3 from the circuit being tested, wherefore, for the flip-flops 2, 3, and 4, the values of the flip-flops 1, 2, and 3 in the preceding stage will merely be shifted. This [sic] control signal C1 controls the multiplexer 13 so that only one of the outputs D_0, D_1, D_2, and D_3 from the circuit being tested is selected. Therefore, only the output from the circuit being tested that is selectively output by the multiplexer 13 will be input to the output response compressor. In other words, in this case, an output response compressor is embodied which compresses some one of the outputs D_0 to D_3 from the circuit being tested.

Thus, by imparting two modes to a single output response compressor, more information is obtained concerning faults than is obtained in the conventional example. This is because, more specifically, first [the output response compressor] is operated in the mode that simultaneously compresses all of the outputs D_0 to D_3 from the circuit being tested and a GO/NOGO test is performed on the circuit being tested, and then, by subjecting only those circuits being tested which have been judged to be faulty to tests wherein the mode for selectively compressing one output only is employed, and sequentially inputting the outputs from the circuit being tested to the output response

compressor based on the present invention, which output is producing the faulty output can easily be detected.

In the mode wherein just one output can be compressed, it is possible to detect from which one of the input patterns a malfunction was detected, and, compared to the conventional example, the information relating to a malfunction site in the circuit being tested will increase significantly. And, in addition to that, [this] can be realized by the addition of extremely few logic gates.

(Benefits of Invention)

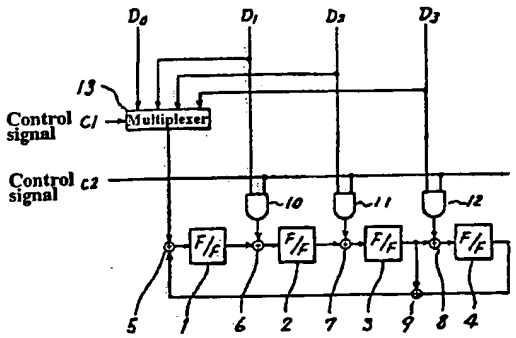
Based on the present invention, by adopting a configuration like that described in the foregoing, more detailed malfunction information will be obtained than with the conventional example.

Brief Description of Drawings

Fig. 1 is a configuration diagram representing one embodiment of the present invention, and Fig. 2 is a configuration diagram representing a conventional example.

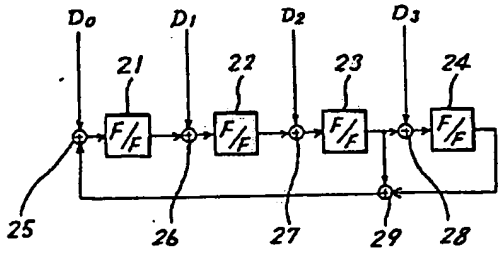
D_0, D_1, D_2, and D_3 ··· outputs from circuit being tested; 1, 2, 3, 4, 21, 22, 23, 24 ··· flip-flops; 5, 6, 7, 8, 9, 25, 26, 27, 28, 29 ··· exclusive-OR circuits; 10, 11, 12 ··· AND gates; 13 ··· multiplexer; C1, C2 ··· control signals.

Agent Susumu Uchihara, patent attorney



1~4 : Flip-flops 10~12 : AND gates
5~8 : Exclusive-OR circuits
D_0~D_3: Outputs from circuit being tested

Figure 1



21~24 : Flip-flops
25~29 : Exclusive-OR circuits
D_0~D_3 : Outputs from circuit being tested

Figure 2

⑲日本国特許庁(JP)　⑪特許出願公開

⑫公開特許公報(A)　平1-239486

⑤Int.Cl.⁴	識別記号	庁内整理番号	⑬公開　平成1年(1989)9月25日
G 01 R 31/28		V-6912-2G	
G 06 F 11/22	310	F-7368-5B	

審査請求　未請求　請求項の数 1　(全4頁)

⑤④発明の名称　出力応答圧縮器

⑳特　願　昭63-66500
㉒出　願　昭63(1988)3月18日

⑦発明者　吉田　正昭　東京都港区芝5丁目33番1号　日本電気株式会社内
⑦出願人　日本電気株式会社　東京都港区芝5丁目33番1号
⑦代理人　弁理士 内原　晋

明　細　書

発明の名称

出力応答圧縮器

特許請求の範囲

複数の出力線からの出力応答を同時に圧縮する多入力線型帰還シフトレジスタ型の出力応答圧縮器において、

前記複数の出力線のうちの1つの出力線からの出力応答を選択的に前記多入力線型帰還シフトレジスタの初段に入力する第1の選択手段と、

前記複数の出力線から前記任意の1つを除いた残りの出力線からの出力応答のそれぞれを前記多入力線型帰還シフトレジスタの初段以外の各段に入力するか否かを選択する第2の選択手段とを設けたことを特徴とする多入力線型帰還シフトレジスタ型の出力応答圧縮器。

発明の詳細な説明

〔産業上の利用分野〕

本発明は出力応答圧縮器、特に集積回路の論理機能試験が容易となり、かつ極めて複雑な集積回路でも試験可能となる様に集積回路自体に組み込まれた出力応答圧縮器に関する。

〔従来の技術〕

高度に集積化され、かつ複雑化した集積回路の論理機能テストを容易にする1つの方法は、テストすべき集積回路内部にテストパターン発生器及びテスト出力評価部等のテスト機構を組み込んでしまうことである。この様にすることにより、集積回路内部に埋め込まれて外部端子から直接アクセスできず、テストすることが困難であった部分の回路も、容易に論理機能テストを行なうことができる。

ところで、テスト機構を集積回路に組み込む場合、膨大な出力応答を逐一期待値と比較することは不可能なので、出力応答を圧縮し、圧縮した出力応答を期待値と比較するという方法が採られる。

この出力応答圧縮器はテスト出力評価部の重要な部分を占める論理回路ブロックであるが、1979年に開催された国際テスト会議（International Test Conference)の論文集37ページ～41ページに"BUILT-IN LOGIC BLOCK OBSERVATION TECHNIQUES"と題して報告された論文中に示された多入力符号解析器が、よく用いられる。

この多入力符号解析器は、線型帰還シフトレジスタの各段に入力を入れられる様にしたもので、4ビットの多入力符号解析器の例の概略ブロック図を示す。

第2図は、被テスト回路（図示せず）からの出力がD_0，D_1，D_2，D_3の4ビットである場合を示しており、あるサイクルにおける被テスト回路の各出力D_1，D_2，D_3は排他的論理和回路（以下ＥＸＯＲゲートと記す）26，27，28に入力され、フリップフロップ21，22，23の各出力との排他的論理和演算後、フリップフロップ22，23，24に入力される。また被テスト回路の出力D_0はＥＸＯＲゲート25に入力され、フリップフロップ23と24との排他的論理和演算後、フリップフロップ21に入力される。

そして、次のサイクルで被テスト回路の各出力D_0，D_1，D_2，D_3も全く同様にしてフリップフロップ21，22，23，24に各々入力され、以後同じ動作が繰り返される。従って、被テスト回路からの出力が何パターンあっても、結果は4ビットに圧縮されることになり、期待値も4ビットで良く、テストのために付加するハードウェア量が少なくてすむ。

（発明が解決しようとする課題）

しかしながら、上述の出力応答圧縮器においては、被テスト回路からの出力D_0，D_1，D_2，D_3全てを同時に圧縮しているので、被テスト回路全体の良否の判定はできても、もっと詳細な故障箇所に関する情報は全く得られず、不良解析が出来ないという問題点を有する。

本発明の目的は、上記の従来技術の問題点を排除し、より詳細な故障箇所に関する情報が得られる出力応答圧縮器を提供することにある。

（課題を解決するための手段）

本発明の出力応答圧縮器は、複数の出力線からの出力応答を同時に圧縮する多入力線型帰還シフトレジスタ型の出力応答圧縮器において、

前記複数の出力線のうちの1つの出力線からの出力応答を選択的に前記多入力線型帰還シフトレジスタの初段に入力する第1の選択手段と、

前記複数の出力線から前記任意の1つを除いた残りの出力線からの出力応答のそれぞれを前記多入力線型帰還シフトレジスタの初段以外の各段に入力するか否かを選択する第2の選択手段とを設けたことを特徴とする。

（作用）

本発明は、上記構成を採用することにより従来技術における問題点を解消している。すなわち、従来技術は全出力同時圧縮しかできないので、被テスト回路全体の良否判定しか出来ないが、本発明は、被テスト回路の各出力を1つずつ圧縮することも可能にすることで、より詳細な故障箇所に関する情報が得られる。

（実施例）

以下、図面を参照しながら本発明を詳細に説明する。

第1図は、本発明の典型的な一実施例を示す構成図である。

本実施例は被テスト回路（図示省略）からの出力が4ビットで、これを圧縮する出力応答圧縮器の段数も同一である場合を示しているが、本発明はこれに限定されるものではなく、出力応答圧縮器の段数が被テスト回路の出力数よりも多くてもかまわないのは言うまでもない。

さて、第1図に示した出力応答圧縮器は、被テスト回路からの出力D_0，D_1，D_2，D_3に対応する4つのフリップフロップ1，2，3，4と、各フリップフロップに対応する4つのＥＸＯＲゲート5，6，7，8と、その出力がそれぞれＥＸＯＲ6，7，8の一方の入力となるＡＮＤゲート10，11，12と、マルチプレクサ13とから成り、制御信号Ｃ2を切り換えることにより、2

種類の出力応答圧縮器として動作する。

1つは被テスト回路からの全出力D_0～D_3を同時に圧縮する従来と同様の出力応答圧縮器であり、もう1つは被テスト回路からの出力D_0～D_3のうちの任意の1つの出力のみを圧縮する出力応答圧縮器である。

制御信号C2を論理"1"のレベルに設定すると、ANDゲート10，11，12は被テスト回路からの出力D_1，D_2，D_3を出力し、EXORゲート6，7，8にそれぞれ入力する。従ってフリップフロップ2，3，4には前段のフリップフロップ1，2，3と被テスト回路からの出力D_1，D_2，D_3とのそれぞれ排他的論理和が入力されることになる。

そして、この時制御信号C1を、マルチプレクサ13が被テスト回路からの出力D_0，D_1，D_2，D_3のうち出力D_0を出力する様に設定すると、EXORゲート5には被テスト回路からの出力D_0が入力され、フリップフロップ1には、フリップフロップ3，4と、この出力D_0の排他的論理和が入力されることになる。即ち、この場合には前述の従来例と同様に、被テスト回路からの出力D_0～D_3を全て同時に圧縮する出力応答圧縮器が実現される。

次に制御信号C2を論理"0"のレベルに設定すると、ANDゲート10，11，12は被テスト回路からの出力D_1，D_2，D_3にかかわらず論理"0"を出力するので、フリップフロップ2，3，4は前段のフリップフロップ1，2，3の値がシフトされるだけとなる。そしてこの時制御信号C1は被テスト回路からの出力D_0，D_1，D_2，D_3のうちのいずれか1つを選択する様にマルチプレクサ13を制御するので、マルチプレクサ13により選択的に出力された被テスト回路からの出力のみが、出力応答圧縮器に入力されることになる。即ち、この場合には、被テスト回路からの出力D_0～D_3のうちの任意の1つを圧縮する出力応答圧縮器が実現される。

この様に、1つの出力応答圧縮器に2つのモードをもたせることにより、従来例で得られる故障に関する情報より多くの情報が得られる。即ち、最初に被テスト回路の出力D_0～D_3を全て同時に圧縮するモードで動作させ、被テスト回路のGO／NOGOテストを行なう。そして、不良と判定された被テスト回路にのみ、1つの出力だけを選択的に圧縮するモードを適用し、被テスト回路の出力を順次本発明による出力応答圧縮器に入力し、テストすることにより、どの出力が不正出力を出したのかを容易に検出することができるからである。

1つの出力のみを圧縮できるモードでは入力パターンの何パターン目で故障が検出されたかを検出することもでき、従来例にくらべて、被テスト回路の故障箇所に関する情報が格段に増加することになる。しかも極めてわずかな論理ゲートの追加で実現できる。

〔発明の効果〕

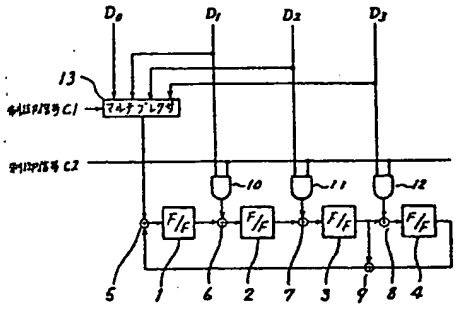
本発明によれば、以上述べた様な構成を採用することにより、従来例にくらべより詳細な故障情報が得られるようになる。

図面の簡単な説明

第1図は本発明の一実施例を示す構成図であり、第2図は従来例を示す構成図である。

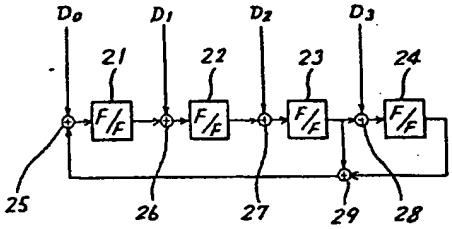
D_0，D_1，D_2，D_3…被テスト回路からの出力、1，2，3，4，21，22，23，24…フリップフロップ、5，6，7，8，9，25，26，27，28，29…排他的論理和回路、10，11，12，…ANDゲート、13…マルチプレクサ、C1，C2…制御信号。

代理人　弁理士　内　原　　晋



1～4：フリップフロップ　　10～12：ANDゲート
5～8：排他的論理和回路
D0～D3：被テスト回路からの出力

第 1 図



21～24：フリップフロップ
25～29：排他的論理和回路
D0～D3：被テスト回路からの出力

第 2 図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-239486

(43)Date of publication of application : 25.09.1989

(51)Int.Cl. G01R 31/28
G06F 11/22

(21)Application number : 63-066500

(22)Date of filing : 18.03.1988

(71)Applicant : NEC CORP

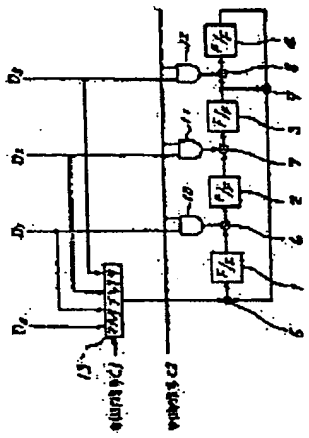
(72)Inventor : YOSHIDA MASAAKI

(54) OUTPUT RESPONSE COMPRESSOR

(57)Abstract:

PURPOSE: To obtain fault information more in detail than before by providing a selecting means which inputs the output response from one output line to the initial stage of a multi-input line type feedback shift register selectively.

CONSTITUTION: When a control signal C2 is set to a logical level '0', AND gates 10, 11, and 12 output logic '0' regardless of outputs D1, D2 and D3 from a circuit to be tested, so the values of flip-flops 1, 2, and 3 of front stages are only shifted to the flip-flops 2, 3, and 4. At this time, a control signal C1 controls a multiplexer 13 to input only the output of the circuit to the output response compressor so that only one of the outputs D0, D1, D2 and D3 of the circuit is selected. Namely, the output response compressor which compresses one optional output among D0WD3 from the circuit is realized in this case.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]